

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-129558

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵

H 0 1 L 27/108

識別記号

庁内整理番号

8728-4M

F I

H 0 1 L 27/ 10

技術表示箇所

3 2 5 U

審査請求 未請求 請求項の数 2(全 8 頁)

(21)出願番号 特願平3-285991

(22)出願日 平成3年(1991)10月31日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 月川 靖彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

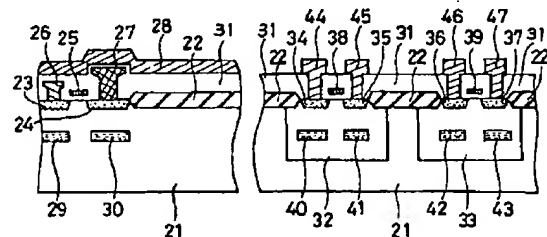
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 半導体記憶装置、およびその製造方法

(57)【要約】

【目的】 電子、および正孔のそれぞれに対して完全な障壁を形成し、ソフトエラーおよびラッチアップなどに対する耐性を向上させる。

【構成】 特定導電型の半導体層におけるフィールド酸化膜で区分された主面上に、絶縁膜を介して選択的に導電体膜を形成させ、また、導電体膜をマスクに用い、半導体層の主面上にイオン注入法によって、異なる導電型の各高濃度半導体活性領域をそれぞれ自己整合的かつ選択的に形成させ、さらに、導電体膜をマスクに用い、各高濃度半導体活性領域に対応する半導体層の深部に、高エネルギーイオン注入法によって、酸素原子または窒素原子を含む各埋め込み絶縁膜部を選択的に形成させる。



- 21: P型半導体基板
- 22: フィールド酸化膜
- 23, 24: 高濃度N型領域
- 25: ワード線
- 26: ビット線
- 27: ストレージノード
- 28: セルゲート
- 29, 30: 埋め込み絶縁膜部
- 31: 層間絶縁膜
- 32: Pウェル
- 33: Nウェル
- 34, 35: 高濃度N型領域
- 36, 37: 高濃度P型領域
- 38: Nチャネルトランジスタゲート
- 39: Pチャネルトランジスタゲート
- 40, 41: 埋め込み絶縁膜部
- 42, 43: 埋め込み絶縁膜部
- 44, 45: 配線
- 46, 47: 配線

【特許請求の範囲】

【請求項1】 特定導電型の半導体層と、

前記半導体層のフィールド酸化膜で区分された主面上に、それぞれ選択的に形成された異なる導電型の各高濃度半導体活性領域と、

前記半導体層の主面上に、前記各高濃度半導体活性領域間で絶縁膜を介して選択的に形成された導電膜とを有し、

前記各高濃度半導体活性領域に対応する半導体層の深部に、酸素原子、または窒素原子を含む各埋め込み絶縁膜部を選択的に形成したことを特徴とする半導体記憶装置。

【請求項2】 特定導電型の半導体層におけるフィールド酸化膜で区分された主面上に、絶縁膜を介して選択的に導電膜を形成する工程と、

前記導電膜をマスクに用い、前記半導体層の主面上に、イオン注入法によって、異なる導電型の各高濃度半導体活性領域をそれぞれ自己整合的かつ選択的に形成する工程と、

前記導電膜をマスクに用い、前記各高濃度半導体活性領域に対応する半導体層の深部に、高エネルギーイオン注入法によって、酸素原子、または窒素原子を含む各埋め込み絶縁膜部を選択的に形成する工程とを、少なくとも含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置、およびその製造方法に関し、さらに詳しくは、半導体を用いた高集積化ダイナミックランダムアクセスメモリ（以下、DRAMと呼ぶ）において、ソフトエラー、およびラッチアップに対する耐性を向上させるための装置構成、およびその製造方法の改良に係るものである。

【0002】

【従来の技術】半導体装置を用いた大規模集積回路においては、集積される素子の微細化に伴って様々な問題を生じている。そして、DRAMの微細化における問題点の1つは、記憶キャパシタの静電容量の減少であって、当該記憶キャパシタの静電容量が減少すると、読み出し動作時に、ビット線対に生ずる電位差が減少するために、読み出しエラー率が小さくなるだけでなく、セルモードのソフトエラー率の増加を惹き起こすに至るもので、このうち、ソフトエラーについては、ビット線モードもあり、かつビット線とセルトランジスタのコンタクト部であるとか、センスアンプにおいても発生する。

【0003】また、DRAMの微細化に伴う別の問題点としては、ラッチアップに対する耐性の減少があり、これは、相補型MOS電界効果トランジスタ（以下、CMOSと呼ぶ）におけるPチャネルトランジスタとNチャ

ネルトランジスタとが接近して、寄生サイリスタがターンオンし易くなるために発生する。

【0004】しかして、これらのソフトエラー、およびラッチアップに共通する点は、半導体基板の内部に少数キャリアが注入され、これが当該基板内部で拡散かつドリフトされ、表面部に形成されたトランジスタとか、記憶キャパシタに到達して生ずる現象であることである。

【0005】こゝで、これらの各点に対する対応策を講じた従来の半導体記憶装置、こゝでは、DRAMにつき、図3および図4を参照して述べる。

【0006】最初に、図3は従来のDRAMにおけるメモリセル部の概要構成を模式的に示す断面図である。

【0007】この図3のメモリセル部の構成において、符号1はP型半導体基板、2は素子分離のためのフィールド酸化膜を示し、3および4はP型半導体基板1の一方の主面上に選択的に形成されたそれぞれに高濃度N型活性領域、5は各高濃度N型活性領域3、4間に対応する位置に薄い絶縁膜を介して設けられたワード線である。

【0008】また、6は前記高濃度N型活性領域3に接続されたビット線、7は前記高濃度N型活性領域4に接続されて記憶キャパシタの一方の電極を形成するストレージノード、8はストレージノード7との間で記憶キャパシタの他方の電極を形成するセルプレート、9は前記P型半導体基板1の他方の主面上に形成された高濃度埋め込みP型領域、10は層間絶縁膜である。

【0009】すなわち、こゝでは、前記ワード線2と各高濃度N型活性領域3、4とによって、Nチャネルトランスファゲート形成している。

【0010】続いて、図4は同上従来のDRAMにおけるCMOS部の概要構成を模式的に示す断面図である。

【0011】この図4のCMOS部の構成において、符号11はP型半導体基板、12は素子分離のためのフィールド酸化膜を示し、13および14はP型半導体基板11の一方の主面上に選択的に埋め込み形成されたPウエル、およびNウエル、15はPウエル13上に選択的に形成された各高濃度N型活性領域、16はNウエル14上に選択的に形成された各高濃度P型活性領域である。

【0012】また、17は前記各高濃度N型活性領域15間に対応する位置に絶縁膜を介して設けられたNチャネルトランジスタのゲート、18は前記各高濃度P型活性領域16間に対応する位置に絶縁膜を介して設けられたPチャネルトランジスタのゲートであり、19は前記P型半導体基板11の他方の主面上に形成された高濃度埋め込みP型領域である。

【0013】すなわち、こゝでは、前記ゲート17とそれぞれの各高濃度N型活性領域15とによって、Nチャネルトランジスタを、前記ゲート18とそれぞれの各高濃度N型活性領域16とによって、Pチャネルトランジ

スタをそれぞれに形成すると共に、これらの両者によってCMOSを構成している。

【0014】そして、これらの図3のメモリセル部、および図4のCMOS部の各構成においては、P型半導体基板1、11の他方の主面上にそれぞれに形成された高濃度埋め込みP型領域9、19が、P型半導体基板1、および11に注入される少数キャリアである電子に対して、障壁を形成すると共に、併せて、当該電子の再結合寿命を短くするために、上述したソフトエラーとか、ラッチアップに対する耐性を増加させ得るのである。

【0015】

【発明が解決しようとする課題】しかしながら、上記のように構成される従来のDRAMの場合には、P型半導体基板1、11内に高濃度埋め込みP型領域9、19を形成させて障壁にしているだけであるから、本質的には電子を消滅させることができず、例えば、高エネルギーで α 線によって注入される電子とか、あるいは、素子の微細化によって生ずる強電界によって加速されたホットエレクトロンなどについては、これが再結合されずに、当該高濃度埋め込みP型領域9、19による障壁を通過するという不利があり、また、Nウェル14側においては、少数キャリアが正孔であって、高濃度埋め込みP型領域19では、当該正孔に対する障壁にならないという問題点もあった。

【0016】この発明は、このような従来の問題点を解消するためになされたもので、その目的とするところは、電子、および正孔のそれぞれに対して完全な障壁を形成して、ソフトエラー、およびラッチアップなどに対する耐性を飛躍的に向上させ得るようにした、この種の半導体記憶装置、およびその製造方法、こゝでは、DRAM、およびその製造方法を提供することである。

【0017】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体記憶装置、およびその製造方法は、半導体基板の他方の主面上に形成される高濃度埋め込み領域に代えて、各高濃度活性領域に対応して酸素原子または窒素原子を含む各埋め込み絶縁膜部を選択的に形成したものである。

【0018】すなわち、この発明は、特定導電型の半導体層と、前記半導体層のフィールド酸化膜で区分された主面上に、それぞれ選択的に形成された異なる導電型の各高濃度半導体活性領域と、前記半導体層の主面上に、前記各高濃度半導体活性領域間で絶縁膜を介して選択的に形成された導電体膜とを有し、前記各高濃度半導体活性領域に対応する半導体層の深部に、酸素原子または窒素原子を含む各埋め込み絶縁膜部を選択的に形成したことを特徴とする半導体記憶装置である。

【0019】また、この発明は、特定導電型の半導体層におけるフィールド酸化膜で区分された主面上に、絶縁膜を介して選択的に導電体膜を形成する工程と、前記導

電体膜をマスクに用い、前記半導体層の主面上に、イオン注入法によって、異なる導電型の各高濃度半導体活性領域をそれぞれ自己整合的かつ選択的に形成する工程と、前記導電体膜をマスクに用い、前記各高濃度半導体活性領域に対応する半導体層の深部に、高エネルギーイオン注入法によって、酸素原子または窒素原子を含む各埋め込み絶縁膜部を選択的に形成する工程とを、少なくとも含むことを特徴とする半導体記憶装置の製造方法である。

【0020】

【作用】従って、この発明においては、各高濃度半導体活性領域に対応する半導体層の深部に、酸素原子または窒素原子を含む各埋め込み絶縁膜部を形成させるようにしているために、これらの各埋め込み絶縁膜部によって、基板内部で拡散かつドリフトされる少数キャリアおよび基板中を流れる寄生トランジスタのトリガ電流を阻止して、ソフトエラー、およびラッチアップなどに対する耐性を向上させ得るのであり、また、この発明方法においては、それぞれの各導電体膜のマスクによって、各埋め込み絶縁膜部を自己整合的に形成させるので、あらためて特別なマスクを必要とせず高精度による形成が可能である。

【0021】

【実施例】以下、この発明に係る半導体記憶装置、およびその製造方法の実施例につき、図1および図2を参照して詳細に説明する。

【0022】図1はこの発明の一実施例を適用した半導体装置、こゝでは、DRAMの概要構成を左半分でメモリセル部、右半分でCMOS部について模式的に示す断面図であり、また、図2(a)、(b)は同上DRAMにおける埋め込み絶縁膜部の形成工程を同様に左半分でメモリセル部、右半分でCMOS部について順次模式的に示すそれぞれに断面図である。

【0023】この実施例による図1左半分のメモリセル部の構成において、符号21はP型半導体基板、22は素子分離のためのフィールド酸化膜を示し、23および24はP型半導体基板21の一方の主面上に選択的に形成されたそれぞれに高濃度N型活性領域、25は高濃度N型活性領域23、24間に対応する位置に薄い絶縁膜を介して設けられたワード線である。

【0024】また、26は前記高濃度N型活性領域23に接続されたビット線、27は前記高濃度N型活性領域24に接続されて記憶キャパシタの一方の電極を形成するストレージノード、28はストレージノード27との間に絶縁膜を介して記憶キャパシタの他方の電極を形成するセルプレート、29および30は前記高濃度N型活性領域23および24に対応してP型半導体基板21内に選択的に形成されたそれぞれに埋め込み絶縁膜部、31は層間絶縁膜である。

【0025】すなわち、こゝにおいては、前記ワード線

22とそれぞれの各高濃度N型活性領域23、24とによって、Nチャネルトランスファゲートを形成している。

【0026】次に、当該図1右半分のCMOS部の構成において、符号21および22は前記メモリセル部に共通するP型半導体基板、および素子分離のためのフィールド酸化膜を示し、32および33はP型半導体基板21の一方の主面上に選択的に埋め込み形成されたPウエルおよびNウエル、34および35はPウエル32上に選択的に形成された各高濃度N型活性領域、36および37はNウエル33上に選択的に形成された各高濃度P型活性領域、38は各高濃度N型活性領域34、35間に対応する位置に薄い絶縁膜を介して設けられたNチャネルトランジスタのゲート、39は各高濃度P型活性領域36、37間に対応する位置に薄い絶縁膜を介して設けられたPチャネルトランジスタのゲートである。

【0027】また、40および41は前記各高濃度N型活性領域34、35に対応してPウエル32内に選択的に形成された酸素原子、または窒素原子を含む各埋め込み絶縁膜部、42および43は前記各高濃度P型領域36、37に対応してNウエル33内に選択的に形成された同様に酸素原子、または窒素原子を含む各埋め込み絶縁膜部、31は前記メモリセル部に共通する層間絶縁膜、44および45は各高濃度N型活性領域34、35から取り出された配線、46および47は各高濃度P型活性領域36、37から取り出された配線である。

【0028】すなわち、こゝにおいては、前記ゲート38とそれぞれの各高濃度N型活性領域34、35とによって、Nチャネルトランジスタを、前記ゲート39と各高濃度N型領域36、37とによって、Pチャネルトランジスタをそれぞれに形成すると共に、これらの両者によってCMOSを構成している。

【0029】続いて、図2(a)、(b)に示す左半分のメモリセル部、および右半分のCMOS部に共通する製造方法において、まず、メモリセル部側にあつては、P型半導体基板21のフィールド酸化膜22で区分された主面上に、薄い絶縁膜を介してワード線25を選択的に形成させ、かつ当該ワード線25をマスクに用い、それぞれに高濃度N型活性領域23、24を自己整合的かつ選択的に形成させておき、また、CMOS部側にあつては、同様に、P型半導体基板21のフィールド酸化膜22で区分された主面上に、それぞれにPウエル32、Nウエル33を形成すると共に、Pウエル32の表面には、薄い絶縁膜を介してゲート38を選択的に形成させ、かつ当該ゲート38をマスクに用い、それぞれに各高濃度N型活性領域34、35を、Nウエル33の表面には、薄い絶縁膜を介してゲート39を選択的に形成させ、かつ当該ゲート39をマスクに用い、それぞれに各高濃度N型活性領域36、37を選択形成させておく。

【0030】ついで、前記メモリセル部、およびCMO

S部に共通にして、メモリセル部側では、フィールド酸化膜22とワード線25のマスクにより、各高濃度N型活性領域23、24に対し、また、CMOS部側では、フィールド酸化膜22と各ゲート38、39のマスクにより、各高濃度N型活性領域34、35と各高濃度N型活性領域36、37とに対し、高電界で加速させた高エネルギーイオン注入法によって、それぞれに酸素イオン、または窒素イオンビーム50を全面注入させる（同図2(a)）。

10 【0031】仍って、前記高エネルギーによるイオン注入により、メモリセル部側の各高濃度N型活性領域23、24に対応するP型半導体基板21の深部には、各埋め込み絶縁膜部29、30が自己整合的に選択形成され、また、CMOS部側の各高濃度N型活性領域34、35に対応するPウエル32の深部と、各高濃度N型活性領域36、37に対応するPウエル32の深部とは、各埋め込み絶縁膜部40、41と42、43とがそれぞれに自己整合的に選択形成されるのであり、一方、ワード線25と各ゲート38、39とのチャネル下部には、このような埋め込み絶縁膜部が形成されることはない（同図2(b)）。

【0032】その後、これらのメモリセル部、およびCMOS部を共通の層間絶縁膜44によって覆い、かつメモリセル部側では、ビット線26、ストレージノード27、およびセルプレート28をそれぞれに形成し、また、CMOS部側では、各高濃度N型活性領域34、35から配線44、45を、各高濃度P型活性領域36、37から配線46、47をそれぞれに取り出して、図1に示す所期通りのDRAMの構成を得るのである。

30 【0033】こゝで、上記実施例のよるDRAMの構成において、ソフトエラー、およびラッチアップ耐性が向上される点を図1について述べる

【0034】上述したように、ソフトエラーについては、メモリセル部でのP型半導体基板21内に対し、例えば、 α 粒子が高エネルギーで注入されることにより、当該基板21内にあつて、衝突電離過程で電子・正孔対が生成され、これらのうちの少数キャリアである電子が基板中を拡散、またはドリフトして高濃度N型活性領域23、24に到達することによって生ずる現象である。40
そして、この場合、高濃度N型活性領域24に達した電子は、ストレージノード27の電荷を電子に書き換えてしまうので、セルモードのソフトエラーを生じ、また、高濃度N型活性領域23に達した電子は、ビット線モードのエラーを生ずるのである。

【0035】従つて、前記基板中で拡散、またはドリフトされる電子が、これらの各高濃度N型活性領域23、24に到達しないようにして、このソフトエラーを未然に防止し得ることは明らかであり、そこで、この実施例構成でのように、各高濃度N型活性領域23、24に対応して、P型半導体基板21内の深部にそれぞれの各埋

め込み絶縁膜部29, 30を設けることにより、少数キャリアがこれらの各埋め込み絶縁膜部29, 30を通過できなくなつて、こゝでのソフトエラーを効果的に阻止し得るのである。

【0036】一方、この場合、ワード線25の下部には、埋め込み絶縁膜部が形成されていないので、トランジスタのチャンネル部での基板の結晶性が劣化するような惧れはなく、このために、キャリアの移動度が減少するとか、ひいては、トランジスタの伝達コンダクタンスの減少を生ずることもないもので、さらには、フィールド酸化膜22の下部にも、この埋め込み絶縁膜部が形成されていないために、トランジスタの基板領域が、フローティング状態になることはなく、これらの各点からも、この実施例での構成に関し、これがソフトエラー耐性の向上に寄与して、安定なメモリセル動作を保証する上で、優れていることが判る。

【0037】また、ラッチアップについては、CMOSを構成するNチャンネル、Pチャンネルの各トランジスタでのソース、および基板領域が寄生サイリスタを形成し、かつ基板中を微小に流れる電流がトリガとなって、当該寄生サイリスタをオンさせることで生ずる現象である。そして、この場合にも、各高濃度N型活性領域40, 41と42, 43とが、CMOSでの各ソース、および基板領域間に流れる電流を阻止するために、効果的なラッチアップ耐性の向上を図り得るのであり、併せて、これらの各高濃度N型活性領域40, 41と42, 43とは、電子と正孔との双方を阻止するために、より一層、効果的である。

【0038】

【発明の効果】以上、各実施例によって詳述したように、この発明によれば、各高濃度半導体活性領域に対応する半導体層の深部に、酸素原子、または窒素原子を含む各埋め込み絶縁膜部を形成させたから、これらの各埋め込み絶縁膜部によって、基板内部で拡散かつドリフトされる少数キャリア、および基板中を流れる電子、正孔の電流の何れをも阻止するために、これが完全な障壁を

形成することによって、ソフトエラー、およびラッチアップなどに対する耐性を飛躍的に向上させ得るのであり、また、この発明方法によれば、それぞれの各導電体膜のマスクによって、各埋め込み絶縁膜部を自己整合的に形成させるので、あらためて特別なマスクを必要とせずに高精度による形成が可能であるなどの優れた種々の利点が得られるという特長がある。

【図面の簡単な説明】

【図1】この発明の一実施例を適用したDRAMの概要構成を模式的に示す断面図である。

【図2】図1のDRAMにおける埋め込み絶縁膜部の形成工程を同様に模式的に示す断面図である。

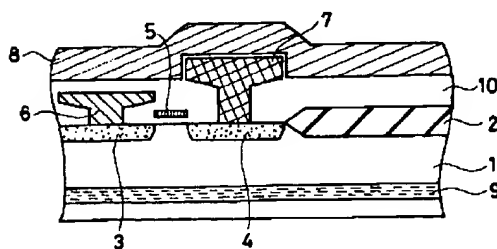
【図3】従来例でのDRAMにおけるメモリセル部の概要構成を模式的に示す断面図である。

【図4】従来例でのDRAMにおけるCMOS部の概要構成を模式的に示す断面図である。

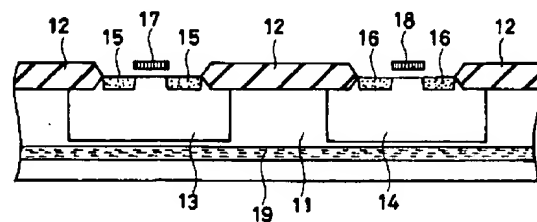
【符号の説明】

- 21 P型半導体基板
- 22 フィールド酸化膜
- 23, 24 高濃度N型領域
- 25 ワード線
- 26 ビット線
- 27 ストレージノード
- 28 セルプレート
- 29, 30 埋め込み絶縁膜部
- 31 層間絶縁膜
- 32 Pウエル
- 33 Nウエル
- 34, 35 高濃度N型領域
- 36, 37 高濃度P型領域
- 38 Nチャンネルトランジスタのゲート
- 39 Pチャンネルトランジスタのゲート
- 40, 41 埋め込み絶縁膜部
- 42, 43 埋め込み絶縁膜部
- 44, 45 配線
- 46, 47 配線

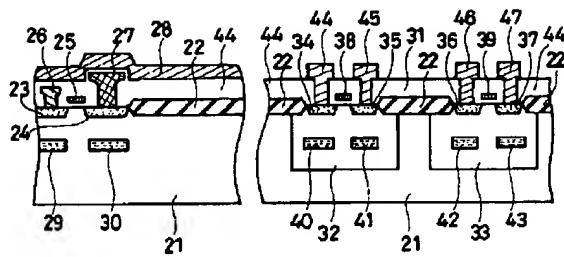
【図3】



【図4】

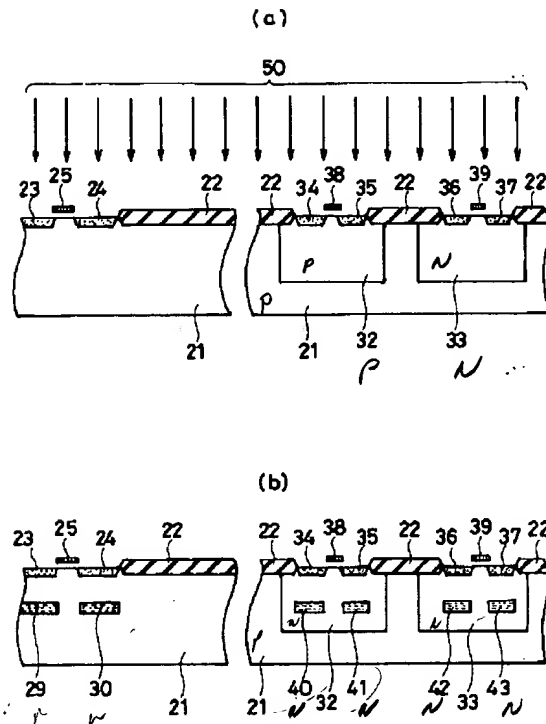


【図1】



- 21: P型半導体基板
22: フィールド酸化膜
23, 24: 高濃度N型領域
25: ワード線
26: ビット線
27: ストレージノード
28: セルプレート
29, 30: 埋め込み絶縁膜部
31: 層間絶縁膜
32: Pウェル
33: Nウェル
34, 35: 高濃度N型領域
36, 37: 高濃度P型領域
38: Nチャネルトランジスタゲート
39: Pチャネルトランジスタゲート
40, 41: 埋め込み絶縁膜部
42, 43: 埋め込み絶縁膜部
44, 45: 配線
46, 47: 配線

【図2】



【手続補正書】

【提出日】平成4年11月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】また、6は前記高濃度N型活性領域3に接続されたビット線、7は前記高濃度N型活性領域4に接続されて記憶キャパシタの一方の電極を形成するストレージノード、8はストレージノード7との間で記憶キャパシタの他方の電極を形成するセルフプレート、9は前記P型半導体基板1の深部に形成された高濃度埋め込みP型領域、10は層間絶縁膜である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】すなわち、こゝでは、前記ワード線5と各高濃度N型活性領域3、4とによって、Nチャネルトランジスタゲートを形成している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】また、17は前記各高濃度N型活性領域15間に対応する位置に絶縁膜を介して設けられたNチャネルトランジスタのゲート、18は前記各高濃度P型活性領域16間に対応する位置に絶縁膜を介して設けられたPチャネルトランジスタのゲートであり、19は前記P型半導体基板11の深部に形成された高濃度埋め込みP型領域である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】すなわち、こゝでは、前記ゲート17とそれぞれの各高濃度N型活性領域15とによって、Nチャネルトランジスタを、前記ゲート18とそれぞれの各高濃度P型活性領域16とによって、Pチャネルトランジスタをそれぞれに形成すると共に、これらの両者によってCMOSを構成している。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】そして、これらの図3のメモリセル部、および図4のCMOS部の各構成においては、P型半導体基板1、11の深部にそれぞれに形成された高濃度埋め込みP型領域9、19が、P型半導体基板1、および11に注入される少数キャリアである電子に対して、障壁を形成すると共に、併せて、当該電子の再結合寿命を短くするために、上述したソフトエラーとか、ラッチアップに対する耐性を増加させ得るのである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】

【発明が解決しようとする課題】しかしながら、上記のように構成される従来のDRAMの場合には、P型半導体基板1、11内に高濃度埋め込みP型領域9、19を形成させて障壁にしているだけであるから、本質的には電子を消滅させることができず、例えば、高エネルギーで α 線によって注入される電子とか、あるいは、素子の微細化によって生ずる強電界によって加速されたホットエレクトロンなどについては、これが再結合されずに、当該高濃度埋め込みP型領域9、19による障壁を通過するという不利があった。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体記憶装置、およびその製造方法は、半導体基板の深部に形成される高濃度埋め込み領域に代えて、各高濃度活性領域に対応して酸素原子または窒素原子を含む各埋め込み絶縁膜部を選択的に形成したものである。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】すなわち、こゝにおいては、前記ワード線25とそれぞれの各高濃度N型活性領域23、24とによって、Nチャネルトランスファゲートを形成している。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】すなわち、こゝにおいては、前記ゲート38とそれぞれの各高濃度N型活性領域34、35とによって、Nチャネルトランジスタを、前記ゲート39と各高濃度P型領域36、37とによって、Pチャネルトランジスタをそれぞれに形成すると共に、これらの両者によってCMOSを構成している。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】続いて、図2(a)、(b)に示す左半分のメモリセル部、および右半分のCMOS部に共通する製造方法において、まず、メモリセル部側にあつては、P型半導体基板21のフィールド酸化膜22で区分された主面上に、薄い絶縁膜を介してワード線25を選択的に形成させ、かつ当該ワード線25をマスクに用い、それぞれに高濃度N型活性領域23、24を自己整合的かつ選択的に形成させておき、また、CMOS部側にあつては、同様に、P型半導体基板21のフィールド酸化膜22で区分された主面上に、それぞれにPウエル32、Nウエル33を形成すると共に、Pウエル32の表面には、薄い絶縁膜を介してゲート38を選択的に形成させ、かつ当該ゲート38をマスクに用い、それぞれに各高濃度N型活性領域34、35を、Nウエル33の表面には、薄い絶縁膜を介してゲート39を選択的に形成させ、かつ当該ゲート39をマスクに用い、それぞれに各高濃度P型活性領域36、37を選択形成させておく。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】ついで、前記メモリセル部、およびCMOS部に共通にして、メモリセル部側では、フィールド酸化膜22とワード線25のマスクにより、各高濃度N型活性領域23、24に対し、また、CMOS部側では、フィールド酸化膜22と各ゲート38、39のマスクにより、各高濃度N型活性領域34、35と各高濃度P型活性領域36、37とに対し、高電界で加速させた高エネルギーイオン注入法によって、それぞれに酸素イオン、または窒素イオンビーム50を全面注入させる（同図2(a)）。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】仍って、前記高エネルギーによるイオン注入により、メモリセル部側の各高濃度N型活性領域23, 24に対応するP型半導体基板21の深部には、各埋め込み絶縁膜部29, 30が自己整合的に選択形成され、また、CMOS部側の各高濃度N型活性領域34, 35に対応するPウェル32の深部と、各高濃度P型活性領域36, 37に対応するNウェル33の深部とは、各埋め込み絶縁膜部40, 41と42, 43とがそれぞれに自己整合的に選択形成されるのであり、一方、ワード線25と各ゲート38, 39とのチャネル下部には、このような埋め込み絶縁膜部が形成されることはない(同図2(b))。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】その後、これらのメモリセル部、およびCMOS部を共通の層間絶縁膜31によって覆い、かつメモリセル部側では、ビット線26、ストレージノード27、およびセルプレート28をそれぞれに形成し、また、CMOS部側では、各高濃度N型活性領域34, 35から配線44, 45を、各高濃度P型活性領域36, 37から配線46, 47をそれぞれに取り出して、図1に示す所期通りのDRAMの構成を得るのである。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】また、ラッチアップについては、CMOSを構成するNチャネル、Pチャネルの各トランジスタで

のソース、および基板領域が寄生サイリスタを形成し、かつ基板中を微小に流れる電流がトリガとなって、当該寄生サイリスタをオンさせることで生ずる現象である。そして、この場合にも、各埋め込み絶縁膜部40, 41と42, 43とが、CMOSでの各ソース、および基板領域間に流れる電流を阻止するために、効果的なラッチアップ耐性の向上を図り得るのであり、併せて、これらの各埋め込み絶縁膜部40, 41と42, 43とは、電子と正孔との双方を阻止するために、より一層、効果的である。

【手続補正15】

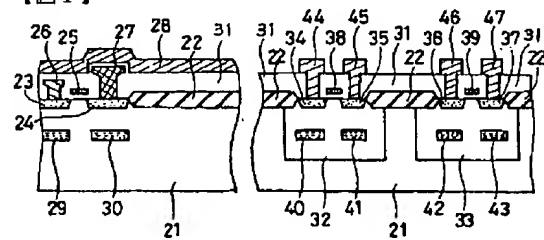
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



- 21: P型半導体基板
- 22: フィールド酸化膜
- 23, 24: 高濃度N型領域
- 25: ワード線
- 26: ビット線
- 27: ストレージノード
- 28: セルプレート
- 29, 30: 埋め込み絶縁膜部
- 31: 層間絶縁膜
- 32: Pウェル
- 33: Nウェル
- 34, 35: 高濃度N型領域
- 36, 37: 高濃度P型領域
- 38: Nチャネルトランジスタゲート
- 39: Pチャネルトランジスタゲート
- 40, 41: 埋め込み絶縁膜部
- 42, 43: 埋め込み絶縁膜部
- 44, 45: 配線
- 46, 47: 配線

PAT-NO: JP405129558A

DOCUMENT-IDENTIFIER: JP 05129558 A

TITLE: SEMICONDUCTOR MEMORY
DEVICE AND FABRICATION THEREOF

PUBN-DATE: May 25, 1993

INVENTOR-INFORMATION:

NAME

TSUKIKAWA, YASUHIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

N/A

APPL-NO: JP03285991

APPL-DATE: October 31, 1991

INT-CL (IPC): H01L027/108

US-CL-CURRENT: 257/296, 257/369 , 257/370

ABSTRACT:

PURPOSE: To enhance resistance against soft error or latch-up by embedding insulation film parts containing oxygen or nitrogen atoms deeply in a semiconductor layer in positions corresponding to each high concentration semiconductor active region.

CONSTITUTION: Insulation film parts 29, 30 are embedded deeply in a P-type semiconductor substrate 21 at positions corresponding, respectively, to high concentration N-type active regions 23, 24. Since minority carriers can not pass through the embedded insulation film parts 29, 30, soft error can be blocked effectively at these parts. Furthermore, since high concentration N-type active regions 40, 41 and 42, 43 block

current flow between the source and the substrate region of CMOS, latch-up resistance can effectively be enhanced.

COPYRIGHT: (C)1993,JPO&Japio